

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masahiro KAMOSHIDA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SHARED SENSE AMPLIFIER SCHEME SEMICONDUCTOR MEMORY DEVICE AND METHOD OF TESTING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan          | 2003-191164               | July 3, 2003          |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    7 月    3 日  
Date of Application:

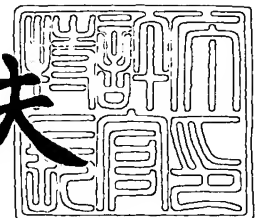
出 願 番 号            特 願 2 0 0 3 - 1 9 1 1 6 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 1 9 1 1 6 4 ]

出      願      人            株式会社東芝  
Applicant(s):

2 0 0 3 年    7 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000300937

【提出日】 平成15年 7月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体記憶装置およびその試験方法

【請求項の数】 24

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 鴨志田 昌弘

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                                イクロエレクトロニクスセンター内

    【氏名】 高島 大三郎

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびその試験方法

【特許請求の範囲】

【請求項 1】 センスアンプと、

前記センスアンプに接続されたビット線と、

前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第 1, 第 2 の選択トランジスタと、

前記第 1 の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第 1 のメモリセルアレイと、

前記第 2 の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第 2 のメモリセルアレイと、

前記第 1, 第 2 の選択トランジスタをそれぞれ制御して、前記第 1, 第 2 のメモリセルアレイを同時に動作状態に設定する設定回路と、

前記ビット線の電位を制御する制御回路と

を具備したことを特徴とする半導体記憶装置。

【請求項 2】 ファティーク試験時に、前記制御回路により前記強誘電体キャパシタの電位差を制御することによって、前記設定回路により同時に動作状態に設定された前記第 1, 第 2 のメモリセルアレイに対して同時にテストを実施することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記ビット線は、信号線対からなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記セルトランジスタの各ゲート端子にはワード線がそれぞれ接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記第 1, 第 2 のメモリセルアレイは、それぞれ、前記複数のメモリセルが所定個つつ直列に接続された複数のメモリブロックを含み、前記複数のメモリブロックの一端が、ブロック選択トランジスタをそれぞれ介して前記ビット線に接続され、他端が、プレート線にそれぞれ接続されていることを特

徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】 前記複数のメモリセルは、それぞれ、前記セルトランジスタのソース・ドレイン端子間に、前記強誘電体キャパシタが接続されていることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 7】 前記第 1, 第 2 のメモリセルアレイは、それぞれ、ゲート端子にワード線が接続された前記セルトランジスタのソース・ドレイン端子の一方に前記強誘電体キャパシタの一端を接続してなる前記複数のメモリセルを備え、  
前記複数のメモリセルは、それぞれ、前記セルトランジスタのソース・ドレイン端子の他方が前記ビット線に接続され、前記強誘電体キャパシタの他端がプレート線に接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】 センスアンプと、  
前記センスアンプに接続されたビット線と、  
前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第 1, 第 2 の選択トランジスタと、

前記第 1 の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第 1 のメモリセルアレイと、

前記第 2 の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第 2 のメモリセルアレイと、

前記第 1, 第 2 の選択トランジスタをそれぞれ制御して、前記第 1, 第 2 のメモリセルアレイを同時に動作状態に設定する設定回路と、

前記ビット線の電位を制御する制御回路と  
を具備し、

前記制御回路により前記強誘電体キャパシタの電位差を制御することによって、前記設定回路により同時に動作状態に設定された前記第 1, 第 2 のメモリセルアレイに対して同時にテストを実施するようにしたことを特徴とする半導体記憶装置の試験方法。

【請求項 9】 前記第 1, 第 2 のメモリセルアレイに対して同時に実施され

るテストはファティーグ試験であることを特徴とする請求項 8 に記載の半導体記憶装置の試験方法。

【請求項 10】 前記ビット線は、信号線対からなることを特徴とする請求項 8 に記載の半導体記憶装置の試験方法。

【請求項 11】 前記第 1, 第 2 のメモリセルアレイは、それぞれ、ゲート端子にワード線が接続された前記セルトランジスタのソース・ドレイン端子間に、前記強誘電体キャパシタを接続してなる前記複数のメモリセルが、所定個つつ直列に接続された複数のメモリブロックを含み、前記複数のメモリブロックの一端がブロック選択トランジスタをそれぞれ介して前記ビット線に接続され、他端がプレート線にそれぞれ接続されていることを特徴とする請求項 8 に記載の半導体記憶装置の試験方法。

【請求項 12】 前記第 1, 第 2 のメモリセルアレイに対し、ファティーグ試験時には、所定の前記ワード線を選択し、全ての前記ブロック選択トランジスタを選択した状態において、前記ビット線の電位と前記プレート線の電位とを交互に繰り返し変化させることを特徴とする請求項 11 に記載の半導体記憶装置の試験方法。

【請求項 13】 前記ファティーグ試験時、前記制御回路が前記ビット線に接続された第 1 の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項 12 に記載の半導体記憶装置の試験方法。

【請求項 14】 前記ファティーグ試験時には、前記ビット線に接続された第 2 の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第 3 の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項 12 に記載の半導体記憶装置の試験方法。

【請求項 15】 前記第 1, 第 2 のメモリセルアレイに対し、ファティーグ試験時には、所定の前記ワード線を選択し、所定の前記ブロック選択トランジスタを選択した状態において、リード動作を実行させることを特徴とする請求項 11 に記載の半導体記憶装置の試験方法。

【請求項 16】 前記ファティーグ試験時、前記制御回路が前記ビット線に接続された第 1 の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項 15 に記載の半導体記憶装置の試験方法。

【請求項 17】 前記ファティーグ試験時には、前記ビット線に接続された第 2 の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第 3 の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項 15 に記載の半導体記憶装置の試験方法。

【請求項 18】 前記第 1, 第 2 のメモリセルアレイは、それぞれ、ゲート端子にワード線が接続された前記セルトランジスタのソース・ドレイン端子の一方に前記強誘電体キャパシタの一端を接続してなる前記複数のメモリセルを備え、

前記複数のメモリセルは、それぞれ、前記セルトランジスタのソース・ドレイン端子の他方が前記ビット線に接続され、前記強誘電体キャパシタの他端がプレート線に接続されていることを特徴とする請求項 8 に記載の半導体記憶装置の試験方法。

【請求項 19】 前記第 1, 第 2 のメモリセルアレイに対し、ファティーグ試験時には、全ての前記ワード線を選択した状態において、前記ビット線の電位と前記プレート線の電位とを交互に繰り返し変化させることを特徴とする請求項 18 に記載の半導体記憶装置の試験方法。

【請求項 20】 前記ファティーグ試験時、前記制御回路が前記ビット線に接続された第 1 の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項 19 に記載の半導体記憶装置の試験方法。

【請求項 21】 前記ファティーグ試験時には、前記ビット線に接続された第 2 の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第 3 の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項 19 に記載の半導体



記憶装置の試験方法。

【請求項 22】 前記第 1, 第 2 のメモリセルアレイに対し、ファティーク試験時には、所定の前記ワード線を選択した状態において、リード動作を実行させることを特徴とする請求項 18 に記載の半導体記憶装置の試験方法。

【請求項 23】 前記ファティーク試験時、前記制御回路が前記ビット線に接続された第 1 の制御トランジスタを制御信号により導通状態とし、そのソースにパルス信号を印加することによって、前記ビット線の電位を制御することを特徴とする請求項 22 に記載の半導体記憶装置の試験方法。

【請求項 24】 前記ファティーク試験時には、前記ビット線に接続された第 2 の制御トランジスタを用いて前記ビット線の電位を電源電位まで上昇させ、かつ、前記ビット線に接続された第 3 の制御トランジスタを用いて前記ビット線の電位をグランド電位に下降させることを特徴とする請求項 22 に記載の半導体記憶装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置およびその試験方法に関するもので、特に、強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性の半導体記憶装置 (FeRAM (Ferroelectric Random Access Memory)) に関する。

【0002】

【従来の技術】

近年、半導体記憶装置の一つとして、強誘電体キャパシタを用いた FeRAM が注目されている。FeRAM には、TC 並列ユニット直列接続型強誘電体メモリが用いられている。TC 並列ユニット直列接続型強誘電体メモリとは、セルトランジスタ (T) のソース・ドレイン端子間に強誘電体キャパシタ (C) の両端をそれぞれ接続してセルユニット (メモリセル) とし、このセルユニットを複数直列に接続したものである。このような構成の FeRAM は、不揮発性であり、しかも書き換え回数が  $10^6$  乗、読み出し時間、書き込み時間が DRAM (

D y n a m i c R A M) 程度、2.5 Vから5 Vの低電圧動作が可能などの長所がある。そのため、全メモリ市場を席巻する可能性がある（たとえば、特許文献1参照）。

#### 【0003】

図11は、従来のF e R A Mの構成例を示すものである。なお、ここでは、2つのセルアレイがセンスアンプの両側にそれぞれ接続される、シェアードセンスアンプ方式を採用するF e R A Mを例に説明する。

#### 【0004】

図11に示すように、このF e R A Mの各セルアレイC Aは、セルトランジスタ(T)101と強誘電体キャパシタ(C)102とが並列に接続された複数のメモリセル(セルユニット)M Cを直列に接続したT C並列ユニット直列接続型強誘電体メモリを含む、複数のメモリブロックM Bを有している。各メモリブロックM Bの一方の端子はプレート線P L(この例の場合、P L 0またはP L 1)に接続され、他方の端子はブロック選択トランジスタ103を介して、ビット線B Lまたは／B Lに接続されている。ブロック選択トランジスタ103の各ゲートは、ブロック選択信号線B S(この例の場合、B S 0 0, B S 0 1, B S 1 0, B S 1 1)に接続されている。

#### 【0005】

セルトランジスタ101の各ゲートには、ワード線W L(この例の場合、W L 0 0, W L 0 1, ～, W L 0 nまたはW L 1 0, W L 1 1, ～, W L 1 n)が接続されている。ビット線B Lおよび／B Lは、それぞれ、セルアレイ選択トランジスタ104を介して、シェアード方式のセンスアンプ(S/A)105に接続されている。セルアレイ選択トランジスタ104の各ゲートには、セルアレイ選択信号線S T 0またはS T 1が接続されている。セルアレイ選択信号線S T 0またはS T 1の各ゲートは、セルアレイ選択回路107に接続されている。

#### 【0006】

セルアレイ選択回路107には、N+1本のアドレス信号線A D x(x=0, ～, n)が接続されている。このセルアレイ選択回路107は、たとえば、アドレス信号線A D xを介して供給されるアドレス信号に応じて、対応するセルアレ

イ選択信号線ST0, ST1のいずれか一方を選択するように構成されている。

#### 【0007】

また、ビット線BLには、nMOS (Metal Oxide Semiconductor) トランジスタ106aのドレインが接続されている。nMOS トランジスタ106aのソースは信号線VBLR0に接続され、ゲートは信号線BEQLに接続されている。ビット線/BLには、nMOS トランジスタ106bのドレインが接続されている。nMOS トランジスタ106bのソースは信号線VBLR1に接続され、ゲートは信号線BEQLに接続されている。

#### 【0008】

このような構成において、所定のメモリセルMCaにアクセスするノーマルアクセス時には、たとえば図12に示すように、選択したメモリセルMCaに接続されているワード線WL01の電位をロウレベル“L (LOW)”にする。それ以外のワード線WLの電位はハイレベル“H (HIGH)”のままである。また、ブロック選択信号線BS00, BS01の電位を“H”にする。このとき、他のブロック選択信号線BS10, BS11の電位は“L”のままである。さらに、セルアレイ選択回路107により、セルアレイ選択信号線ST0の電位を“H”にする。このとき、セルアレイ選択信号線ST1の電位は“L”のままである。こうして、選択した所定のメモリセルMCaへのアクセスが行われる。

#### 【0009】

上記のように、ノーマルアクセス時には、データ破壊を防ぐため、セルアレイ選択信号線ST0およびST1が同時に“H”になることはない。つまり、FeRAMの場合、センスアンプ105にシェアード接続される2つのセルアレイCAに対して、同時にアクセスすることは禁止されている。

#### 【0010】

一方、耐久(疲労)テストであるファティグ試験においては、たとえば図13(a)に示すように、テストするメモリセルMCのワード線WLの電位を“L”にする。また、セルアレイ選択回路107により、対応するセルアレイ選択信号線ST0またはST1(図11参照)の電位を“H”にする。さらに、選択したセルアレイCAのブロック選択信号線BSの電位を全て“H”にする(図13

(b) 参照)。そして、対応するプレート線 PL0 または PL1 の電位、および、ビット線 BL、 $\neg$ BL の電位を交互に繰り返しスイングさせる (図 13 (c)、図 13 (d) 参照)。

#### 【0011】

このように、ファティグ試験時においても、ノーマルアクセス時の場合と同様に、センスアンプ 105 にシェアード接続される 2 つのセルアレイ CA のうち、一方のセルアレイ CA だけを動作させるようになっている。

#### 【0012】

図 14 は、従来の FeRAM の他の構成例を示すものである。なお、ここでは、2 つのセルアレイがセンスアンプの両側にそれぞれ接続される、シェアードセンスアンプ方式を採用する FeRAM を例に説明する。

#### 【0013】

図 14 に示すように、この FeRAM の各セルアレイ CA は、それぞれ、セルトランジスタ (T) 201 と強誘電体キャパシタ (C) 202 とが直列に接続された複数のメモリセル (セルユニット) MC を有している。各メモリセル MC において、強誘電体キャパシタ 202 の一方の端子はプレート線 PL (この例の場合、PL0, PL1, PL2, PL3 のいずれか) に接続され、他方の端子はセルトランジスタ 201 を介して、ビット線 BL または  $\neg$ BL に接続されている。

#### 【0014】

セルトランジスタ 201 の各ゲートには、ワード線 WL (この例の場合、WL00, WL01, WL02 または WL10, WL11, WL12) が接続されている。ビット線 BL および  $\neg$ BL は、それぞれ、セルアレイ選択トランジスタ 204 を介して、シェアード方式のセンスアンプ 205 に接続されている。セルアレイ選択トランジスタ 204 の各ゲートには、セルアレイ選択信号線 ST0 または ST1 が接続されている。セルアレイ選択信号線 ST0 または ST1 は、セルアレイ選択回路 207 に接続されている。

#### 【0015】

セルアレイ選択回路 207 には、 $N+1$  本のアドレス信号線 AD<sub>x</sub> ( $x=0 \sim n$ ) が接続されている。このセルアレイ選択回路 207 は、たとえば、アドレス

信号線AD<sub>x</sub>を介して供給されるアドレス信号に応じて、対応するセルアレイ選択信号線ST<sub>0</sub>、ST<sub>1</sub>のいずれか一方を選択するように構成されている。

#### 【0016】

また、ビット線BLには、nMOSトランジスタ206aのドレインが接続されている。nMOSトランジスタ206aのソースは信号線VBLR<sub>0</sub>に接続され、ゲートは信号線BEQLに接続されている。ビット線／BLには、nMOSトランジスタ206bのドレインが接続されている。nMOSトランジスタ206bのソースは信号線VBLR<sub>1</sub>に接続され、ゲートは信号線BEQLに接続されている。

#### 【0017】

このような構成において、所定のメモリセルMC<sub>b</sub>にアクセスするノーマルアクセス時には、たとえば図15に示すように、選択したメモリセルMC<sub>b</sub>に接続されているワード線WL<sub>01</sub>の電位を“H”にする。また、セルアレイ選択回路207により、セルアレイ選択信号線ST<sub>0</sub>の電位を“H”にする。こうして、選択した所定のメモリセルMC<sub>b</sub>へのアクセスが行われる。

#### 【0018】

上記のように、ノーマルアクセス時には、データ破壊を防ぐため、セルアレイ選択信号線ST<sub>0</sub>およびST<sub>1</sub>が同時に“H”になることはない。つまり、この構成のFeRAMの場合にも、センスアンプ205にシェアード接続される2つのセルアレイCAに対して、同時にアクセスすることは禁止されている。

#### 【0019】

一方、ファティーグ試験においては、たとえば図16(a)に示すように、テストするメモリセルMCのワード線WLの電位を“H”にする。また、セルアレイ選択回路207により、対応するセルアレイ選択信号線ST<sub>0</sub>またはST<sub>1</sub>(図14参照)の電位を“H”にする。そして、対応するプレート線PLの電位およびビット線BL、／BLの電位を交互に繰り返しスイングさせる(図16(b)、図16(c)参照)。

#### 【0020】

このFeRAMの場合も、ファティーグ試験時には、ノーマルアクセス

時の場合と同様に、センスアンプ 2 0 5 にシェアード接続される 2 つのセルアレイ C A のうち、一方のセルアレイ C A だけを動作させるようになっている。

【 0 0 2 1 】

【特許文献 1】

特開平 1 0 - 2 5 5 4 8 3

【 0 0 2 2 】

【発明が解決しようとする課題】

上記したように、シェアードセンスアンプ方式を採用する F e R A M の場合、ファティーク試験時にも、センスアンプにシェアード接続される 2 つのセルアレイのうちの一方のセルアレイしか動作させていないため、2 つのセルアレイを個々にテストしなければならず、これがテスト時間を増加させる要因となっていた。

【 0 0 2 3 】

そこで、この発明は、センスアンプに接続される 2 つのセルアレイを同時にテストでき、テスト時間を短縮することが可能な半導体記憶装置およびその試験方法を提供することを目的としている。

【 0 0 2 4 】

【課題を解決するための手段】

本願発明の一態様によれば、センスアンプと、前記センスアンプに接続されたビット線と、前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第 1、第 2 の選択トランジスタと、前記第 1 の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第 1 のメモリセルアレイと、前記第 2 の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第 2 のメモリセルアレイと、前記第 1、第 2 の選択トランジスタをそれぞれ制御して、前記第 1、第 2 のメモリセルアレイを同時に動作状態に設定する設定回路と、前記ビット線の電位を制御する制御回路とを具備したことを特徴とする半導体記憶装置が提供される。

【 0 0 2 5 】

また、本願発明の一態様によれば、センスアンプと、前記センスアンプに接続されたビット線と、前記ビット線に、前記センスアンプを挟んでそれぞれ接続された第1、第2の選択トランジスタと、前記第1の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第1のメモリセルアレイと、前記第2の選択トランジスタを介して前記ビット線に接続された、セルトランジスタおよび強誘電体キャパシタを用いた複数のメモリセルを含む第2のメモリセルアレイと、前記第1、第2の選択トランジスタをそれぞれ制御して、前記第1、第2のメモリセルアレイを同時に動作状態に設定する設定回路と、前記ビット線の電位を制御する制御回路とを具備し、前記制御回路により前記強誘電体キャパシタの電位差を制御することによって、前記設定回路により同時に動作状態に設定された前記第1、第2のメモリセルアレイに対して同時にテストを実施するようにしたことを特徴とする半導体記憶装置の試験方法が提供される。

#### 【0026】

上記した構成によれば、センスアンプにシェアード接続された2つのセルアレイを同時に動作させることが可能になる。これにより、テスト時間を従来の半分程度に短縮できるようになるものである。

#### 【0027】

##### 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

#### 【0028】

##### (第1の実施形態)

図1は、本発明の第1の実施形態にしたがったFeRAMの構成例を示すものである。このFeRAMの場合、センスアンプ11に対して2つのセルアレイCAがシェアード接続される、シェアードセンスアンプ方式が用いられている。

#### 【0029】

すなわち、シェアード方式のセンスアンプ(S/A)11には、相補の信号線対であるビット線BLおよび/BLが接続されている。上記ビット線BLおよび/BLには、セルアレイ選択トランジスタ12a、12bを介して、セルアレイ

CAが接続されている。また、上記ビット線BLおよび／BLには、セルアレイ選択トランジスタ13a, 13bを介して、セルアレイCAが接続されている。このように、各セルアレイCAは、センスアンプ11を挟んで、その両側にそれぞれ配置されている（シェアードセンスアンプ方式）。

#### 【0030】

各セルアレイCAは、複数のメモリブロックMBを有している。メモリブロックMBのそれぞれは、セルトランジスタ(T)1と強誘電体キャパシタ(C)2とが並列に接続された複数のメモリセル(セルユニット)MCを直列に接続したTC並列ユニット直列接続型強誘電体メモリを含んでいる。各メモリブロックMBの一方の端子はプレート線PLk (k=0, ~, k)のいずれかに接続され、他方の端子はブロック選択トランジスタ14をそれぞれ介して、ビット線BLまたは／BLに接続されている。ブロック選択トランジスタ14の各ゲートは、ブロック選択信号線BS (この例の場合、BS00~BSk0, BS01~BSk1およびBS10~, BS11~)に接続されている。

#### 【0031】

セルトランジスタ1の各ゲートには、ワード線WL (この例の場合、WL00~WL0n, WLk0~WLkn, WL10~WL1n)が接続されている。セルアレイ選択トランジスタ12a, 12bの各ゲートにはセルアレイ選択信号線ST0が、また、セルアレイ選択トランジスタ13a, 13bの各ゲートにはセルアレイ選択信号線ST1が、それぞれ接続されている。セルアレイ選択信号線ST0, ST1は、それぞれ、オア回路15a, 15bを介して、セルアレイ選択回路16に接続されている。

#### 【0032】

セルアレイ選択回路16には、N+1本のアドレス信号線ADx (x=0, ~, n)が接続されている。このセルアレイ選択回路16は、アドレス信号線ADxを介して供給されるアドレス信号に応じて、対応するセルアレイ選択信号線ST0またはST1のいずれか一方を選択するもので、たとえば図2に示すように、アドレス信号線ADxの電位の少なくとも1つが一定期間ハイレベル“H”になると、セルアレイ選択信号線ST0を選択する、つまり、セルアレイ選択信号



線ST0の電位を“H”に、セルアレイ選択信号線ST1の電位をロウレベル“L”に設定するように構成されている。

#### 【0033】

オア回路15a, 15bの一方の入力端には、それぞれ上記セルアレイ選択回路16の出力が供給されている。また、他方の入力端には、それぞれファティীগ試験を示すテスト制御信号FTGが供給されるようになっている。テスト制御信号FTGが“H”になっている間は、たとえば図3に示すように、アドレス信号に関わらず、セルアレイ選択信号線ST0およびST1の電位が共に“H”になる。これにより、ファティীগ試験時には、センスアンプ11の両側のセルアレイCA, CAが同時に動作状態に設定されることになる。

#### 【0034】

なお、テスト制御信号FTGが“L”の間は、セルアレイ選択信号線ST0またはST1のいずれか一方が“L（または、両方とも“L”）”になる。これにより、たとえばノーマルアクセス時には、センスアンプ11のどちらか一方のセルアレイCAだけが動作状態に設定されることになる。

#### 【0035】

ビット線BLには、nMOS (Metal Oxide Semiconductor) トランジスタ17aのドレインが接続されている。nMOSトランジスタ17aのソースは信号線VBLR0に接続され、ゲートは信号線BEQLに接続されている。ビット線／BLには、nMOSトランジスタ17bのドレインが接続されている。nMOSトランジスタ17bのソースは信号線VBLR1に接続され、ゲートは信号線BEQLに接続されている。なお、各信号線BEQL, VBLR0, VBLR1は、制御回路31によって制御されるようになっている。

#### 【0036】

このような構成において、上記ファティীগ試験（たとえば、メモリセルMCaのテスト）時には、所定のワード線WL01, WLk1, WL11, …の電位を“L”にする。また、全てのブロック選択信号線BS00, BS01, BSk0, BSk1, BS10, BS11, …の電位を“H”にする。また、テスト制

御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。これにより、センスアンプ11にシェアード接続される、2つのセルアレイCA, CAを同時に動作させる。そして、動作する2つのセルアレイCA, CAの、プレート線PL0, PL1, ~, PLkの電位をスイングさせる。また、制御回路31によって信号線BEQLを制御し、nMOSトランジスタ17a, 17bの各ゲートに装置の外部からのパルス信号を印加(“H”に固定)して、ビット線BLおよび/BLの電位をスイングさせる。こうして、ビット線BL, /BLの電位とプレート線PLk (k=0, ~, k)の電位とを交互に繰り返し変化させることにより、動作する2つのセルアレイCA, CAに対し、所望のファティーグ試験が同時に実施される。

#### 【0037】

こうすることにより、ファティーグ試験時にのみ、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させることが可能となり、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることが可能となる。

#### 【0038】

なお、上記した第1の実施形態においては、プレート線PLk (k=0, ~, k)の電位とビット線BLおよび/BLの電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図4に示すように、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行させることによっても、ファティーグ試験を実施することは可能である。

#### 【0039】

すなわち、ファティーグ試験を行う場合において、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、選択するメモリセルMCaのワード線WL01, WL11の電位を“L”にする。また、選択するブロック選択信

号線BS00, BS01, BS10, BS11の電位だけを“H”にする。こうして、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

#### 【0040】

このように、図1に示した構成において、同時に動作する2つのセルアレイCA, CAに対し、上記のファティーグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによっても、テスト時間を短縮させることが可能である。

#### 【0041】

(第2の実施形態)

図5は、本発明の第2の実施形態にしたがったFeRAMの構成例を示すものである。ここでは、上記ファティーグ試験時において、電源電位21に接続されたnMOSトランジスタ22a, 22b、および、グランド電位23に接続されたpMOSトランジスタ24a, 24bを用いて、ビット線BLおよび／BLの電位をスイングさせるように構成した場合について説明する。なお、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

#### 【0042】

この実施形態の場合、ビット線BLおよび／BLには、上記nMOSトランジスタ17a, 17bに代えて、nMOSトランジスタ22a, 22bおよびpMOSトランジスタ24a, 24bが接続されている。すなわち、nMOSトランジスタ22a, 22bの各ゲートには、信号線BEQLが共通に接続されている。各ソースは電源電位21に接続され、各ドレインはビット線BLまたは／BLのいずれかに接続されている。pMOSトランジスタ24a, 24bの各ゲートには、信号線BEQLPが共通に接続されている。各ソースはグランド電位23に接続され、各ドレインはビット線BLまたは／BLのいずれかに接続されている。なお、各信号線BEQL, BEQLPは、制御回路32によって制御されるようになっている。

#### 【0043】

このような構成において、上記ファティーグ試験（たとえば、メモリセルMC

a のテスト) を行う場合、テスト制御信号 F T G を “H” にし、オア回路 15 a , 15 b の出力であるセルアレイ選択信号線 S T 0 および S T 1 の電位を共に “H” にする。また、テストするメモリセル M C a のワード線 W L 0 1 , W L k 1 , W L 1 1 , ~ の電位を “L” に、全てのブロック選択信号線 B S 0 0 , B S 0 1 , B S k 0 , B S k 1 , B S 1 0 , B S 1 1 , ~ の電位を “H” にする。そして、動作する 2 つのセルアレイ C A , C A に対し、プレート線 P L 0 , P L 1 , ~ , P L k の電位をスイングさせる。

#### 【0044】

また、制御回路 3 2 によって、n M O S トランジスタ 2 2 a , 2 2 b の各ゲートにつながる信号線 B E Q L , および、p M O S トランジスタ 2 4 a , 2 4 b の各ゲートにつながる信号線 B E Q L P を制御して、ビット線 B L および / B L の電位をスイングさせる。この場合、制御回路 3 2 は、n M O S トランジスタ 2 2 a , 2 2 b を用いてビット線 B L , / B L の電位を電源電位 2 1 まで上昇させ、p M O S トランジスタ 2 4 a , 2 4 b を用いてビット線 B L , / B L の電位をグランド電位 2 3 に下降させる。こうして、ビット線 B L , / B L の電位とプレート線 P L k ( k = 0 , ~ , k ) の電位とを交互に繰り返し変化させることにより、動作する 2 つのセルアレイ C A , C A に対し、所望のファティーグ試験が同時に実施される。

#### 【0045】

このような構成によっても、第 1 の実施形態の場合と同様に、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることが可能である。

#### 【0046】

なお、上記した第 2 の実施形態においては、プレート線 P L k ( k = 0 , ~ , k ) の電位とビット線 B L および / B L の電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図 6 に示すように、センスアンプ 1 1 にシェアード接続される 2 つのセルアレイ C A , C A を同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行させることによっても、ファティーグ試験を

実施することは可能である。

#### 【0047】

すなわち、ファティグ試験を行う場合において、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST0およびST1の電位を共に“H”にする。また、選択するメモリセルMCaのワード線WL01, WL11の電位を“L”にする。また、選択するブロック選択信号線BS00, BS01, BS10, BS11の電位だけを“H”にする。こうして、センスアンプ11にシェアード接続される2つのセルアレイCA, CAを同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

#### 【0048】

このように、図5に示した構成において、同時に動作する2つのセルアレイCA, CAに対し、上記のファティグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによっても、テスト時間を短縮させることが可能である。

#### 【0049】

(第3の実施形態)

図7は、本発明の第3の実施形態にしたがったFeRAMの構成例を示すものである。ここでは、メモリセルアレイCAのそれぞれが、セルトランジスタ(T)1と強誘電体キャパシタ(C)2とが直列に接続された複数のメモリセル(セルユニット)MCにより構成されてなる場合を例に説明する。なお、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

#### 【0050】

すなわち、シェアード方式のセンスアンプ(S/A)11には、相補の信号線対であるビット線BLおよび/BLが接続されている。上記ビット線BLおよび/BLには、セルアレイ選択トランジスタ12a, 12bを介して、セルアレイCAが接続されている。また、上記ビット線BLおよび/BLには、セルアレイ選択トランジスタ13a, 13bを介して、セルアレイCAが接続されている。このように、各セルアレイCAは、センスアンプ11を挟んで、その両側にそれぞれ配置されている(シェアードセンスアンプ方式)

各セルアレイCAは、1つのセルトランジスタ1と1つの強誘電体キャパシタ2を含む、複数のメモリセル（セルユニット）MCを有して構成されている。各メモリセルMCにおいて、強誘電体キャパシタ2の一方の端子はプレート線PL<sub>k</sub>（ $k=0, \sim, k$ ）のいずれかに接続され、他方の端子はセルトランジスタ1をそれぞれ介して、ビット線BLまたは／BLに接続されている。

#### 【0051】

セルトランジスタ1の各ゲートには、ワード線WL（この例の場合、WL<sub>00</sub>～WL<sub>0k</sub>, WL<sub>10</sub>～）が接続されている。セルアレイ選択トランジスタ12a, 12bの各ゲートにはセルアレイ選択信号線ST<sub>0</sub>が、また、セルアレイ選択トランジスタ13a, 13bの各ゲートにはセルアレイ選択信号線ST<sub>1</sub>が、それぞれ接続されている。セルアレイ選択信号線ST<sub>0</sub>, ST<sub>1</sub>は、それぞれ、オア回路15a, 15bを介して、セルアレイ選択回路16に接続されている。

#### 【0052】

このような構成において、上記ファティーグ試験（たとえば、メモリセルMCaのテスト）時には、全てのワード線WL<sub>00</sub>～WL<sub>0k</sub>, WL<sub>10</sub>～の電位を“H”にする。また、テスト制御信号FTGを“H”にし、オア回路15a, 15bの出力であるセルアレイ選択信号線ST<sub>0</sub>およびST<sub>1</sub>の電位を共に“H”にする。これにより、センスアンプ11にシェアード接続される、2つのセルアレイCA, CAを同時に動作させる。そして、動作する2つのセルアレイCA, CAの、プレート線PL<sub>0</sub>, PL<sub>1</sub>, PL<sub>2</sub>, PL<sub>3</sub>, ～, PL<sub>k</sub>の電位をスイングさせる。

#### 【0053】

また、制御回路31によって信号線BEQLを制御し、nMOSトランジスタ17a, 17bの各ゲートに装置の外部からのパルス信号を印加（“H”に固定）して、ビット線BLおよび／BLの電位をスイングさせる。こうして、ビット線BL, ／BLの電位とプレート線PL<sub>k</sub>（ $k=0, \sim, k$ ）の電位とを交互に繰り返し変化させることにより、動作する2つのセルアレイCA, CAに対し、所望のファティーグ試験が同時に実施される。

#### 【0054】

こうすることにより、ファティーグ試験時にのみ、センスアンプ 1 1 にシェアード接続される 2 つのセルアレイ C A，C A を同時に動作させることが可能となり、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることが可能となる。

#### 【 0 0 5 5 】

なお、上記した第 3 の実施形態においては、プレート線 P L k ( k = 0 , ~ , k ) の電位とビット線 B L および / B L の電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図 8 に示すように、センスアンプ 1 1 にシェアード接続される 2 つのセルアレイ C A，C A を同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行させることによって、ファティーグ試験を実施することは可能である。

#### 【 0 0 5 6 】

すなわち、ファティーグ試験を行う場合において、テスト制御信号 F T G を “ H ” にし、オア回路 1 5 a，1 5 b の出力であるセルアレイ選択信号線 S T 0 および S T 1 の電位を共に “ H ” にする。また、選択するメモリセル M C a のワード線 W L 0 1，W L 1 1 の電位を “ L ” にする。こうして、センスアンプ 1 1 にシェアード接続される 2 つのセルアレイ C A，C A を同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

#### 【 0 0 5 7 】

このように、図 7 に示した構成において、同時に動作する 2 つのセルアレイ C A，C A に対し、上記のファティーグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによって、テスト時間を短縮させることが可能である。

#### 【 0 0 5 8 】

(第 4 の実施形態)

図 9 は、本発明の第 4 の実施形態にしたがった F e R A M の構成例を示すものである。ここでは、上記ファティーグ試験時において、電源電位 2 1 に接続された n M O S トランジスタ 2 2 a，2 2 b、および、グランド電位 2 3 に接続され

た pMOS トランジスタ 24 a, 24 b を用いて、ビット線 BL および /BL の電位をスイングさせるように構成した場合について説明する。なお、図 7 と同一部分には同一符号を付し、詳しい説明は割愛する。

#### 【0059】

この実施形態の場合、ビット線 BL および /BL には、上記 nMOS トランジスタ 17 a, 17 b に代えて、nMOS トランジスタ 22 a, 22 b および pMOS トランジスタ 24 a, 24 b が接続されている。すなわち、nMOS トランジスタ 22 a, 22 b の各ゲートには、信号線 BEQL が共通に接続されている。各ソースは電源電位 21 に接続され、各ドレインはビット線 BL または /BL のいずれかに接続されている。pMOS トランジスタ 24 a, 24 b の各ゲートには、信号線 BEQLP が共通に接続されている。各ソースはグランド電位 23 に接続され、各ドレインはビット線 BL または /BL のいずれかに接続されている。なお、各信号線 BEQL, BEQLP は、制御回路 32 によって制御されるようになっている。

#### 【0060】

このような構成において、上記ファティーグ試験（たとえば、メモリセル MC a のテスト）を行う場合、テスト制御信号 FTG を “H” にし、オア回路 15 a, 15 b の出力であるセルアレイ選択信号線 ST0 および ST1 の電位を共に “H” にする。また、全てのワード線 WL00 ~ WL0k, WL10 ~ の電位を “H” にする。そして、動作する 2 つのセルアレイ CA, CA に対し、プレート線 PL0, PL1, ~, PLk の電位をスイングさせる。

#### 【0061】

また、制御回路 32 によって、nMOS トランジスタ 22 a, 22 b の各ゲートにつながる信号線 BEQL、および、pMOS トランジスタ 24 a, 24 b の各ゲートにつながる信号線 BEQLP を制御して、ビット線 BL および /BL の電位をスイングさせる。この場合、制御回路 32 は、nMOS トランジスタ 22 a, 22 b を用いてビット線 BL, /BL の電位を電源電位 21 まで上昇させ、pMOS トランジスタ 24 a, 24 b を用いてビット線 BL, /BL の電位をグランド電位 23 に下降させる。こうして、ビット線 BL, /BL の電位とプレー



ト線  $PL_k$  ( $k=0, \sim, k$ ) の電位とを交互に繰り返し変化させることにより、動作する 2 つのセルアレイ  $CA$ 、 $CA$  に対し、所望のファティーグ試験が同時に実施される。

#### 【0062】

このような構成によっても、第 3 の実施形態の場合と同様に、ノーマルアクセス時のデータ破壊を防ぎつつ、ファティーグ試験に要するテスト時間を半減させることが可能である。

#### 【0063】

なお、上記した第 4 の実施形態においては、プレート線  $PL_k$  ( $k=0, \sim, k$ ) の電位とビット線  $BL$  および  $/BL$  の電位とを交互に繰り返しスイングさせることによって、ファティーグ試験を実施するようにした場合を例に説明した。これに限らず、たとえば図 10 に示すように、センスアンプ 11 にシェアード接続される 2 つのセルアレイ  $CA$ 、 $CA$  を同時に動作させた状態において、さらに通常のリード動作と同様の動作を実行させることによっても、ファティーグ試験を実施することは可能である。

#### 【0064】

すなわち、ファティーグ試験を行う場合において、テスト制御信号  $FTG$  を “H” にし、オア回路 15a、15b の出力であるセルアレイ選択信号線  $ST_0$  および  $ST_1$  の電位を共に “H” にする。また、選択するメモリセル  $MC_a$  のワード線  $WL_{01}$ 、 $WL_{11}$  の電位を “L” にする。こうして、センスアンプ 11 にシェアード接続される 2 つのセルアレイ  $CA$ 、 $CA$  を同時に動作させた状態において、通常のリード動作と同様の動作を実行させる。

#### 【0065】

このように、図 9 に示した構成において、同時に動作する 2 つのセルアレイ  $CA$ 、 $CA$  に対し、上記のファティーグ試験を実施するとともに、通常のリード動作と同様の動作を実行させることによっても、テスト時間を短縮させることが可能である。

#### 【0066】

その他、本発明は、上記（各）実施形態に限定されるものではなく、実施段階

ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも 1 つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも 1 つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

#### 【0 0 6 7】

##### 【発明の効果】

以上、詳述したようにこの発明によれば、センスアンプに接続される 2 つのセルアレイを同時にテストでき、テスト時間を短縮することが可能な半導体記憶装置およびその試験方法を提供できる。

##### 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態にしたがった F e R A M の構成例を示す回路図。

【図 2】 図 1 の F e R A M において、ノーマルアクセス時のセルアレイ選択動作を説明するために示す信号波形図。

【図 3】 図 1 の F e R A M において、ファティーグ試験時のセルアレイ選択動作を説明するために示す信号波形図。

【図 4】 図 1 の F e R A M において、ファティーグ試験時の動作の一例を説明するために示す回路図。

【図 5】 本発明の第 2 の実施形態にしたがった F e R A M の構成例を示す回路図。

【図 6】 図 5 の F e R A M において、ファティーグ試験時の動作の一例を説明するために示す回路図。

【図 7】 本発明の第 3 の実施形態にしたがった F e R A M の構成例を示す回路図。

【図 8】 図 7 の F e R A M において、ファティーグ試験時の動作の一例を説明するために示す回路図。

【図 9】 本発明の第 4 の実施形態にしたがった F e R A M の構成例を示す回路図。

【図 10】 図 9 の F e R A M において、ファティーク試験時の動作の一例を説明するために示す回路図。

【図 11】 従来技術とその問題点を説明するために示す、F e R A M の回路構成図。

【図 12】 図 11 の F e R A M において、ノーマルアクセス時の動作を説明するために示す回路図。

【図 13】 図 11 の F e R A M において、ファティーク試験時の動作を説明するために示す信号波形図。

【図 14】 従来の F e R A M の他の構成例を示す回路図。

【図 15】 図 14 の F e R A M において、ノーマルアクセス時の動作を説明するために示す回路図。

【図 16】 図 14 の F e R A M において、ファティーク試験時の動作を説明するために示す信号波形図。

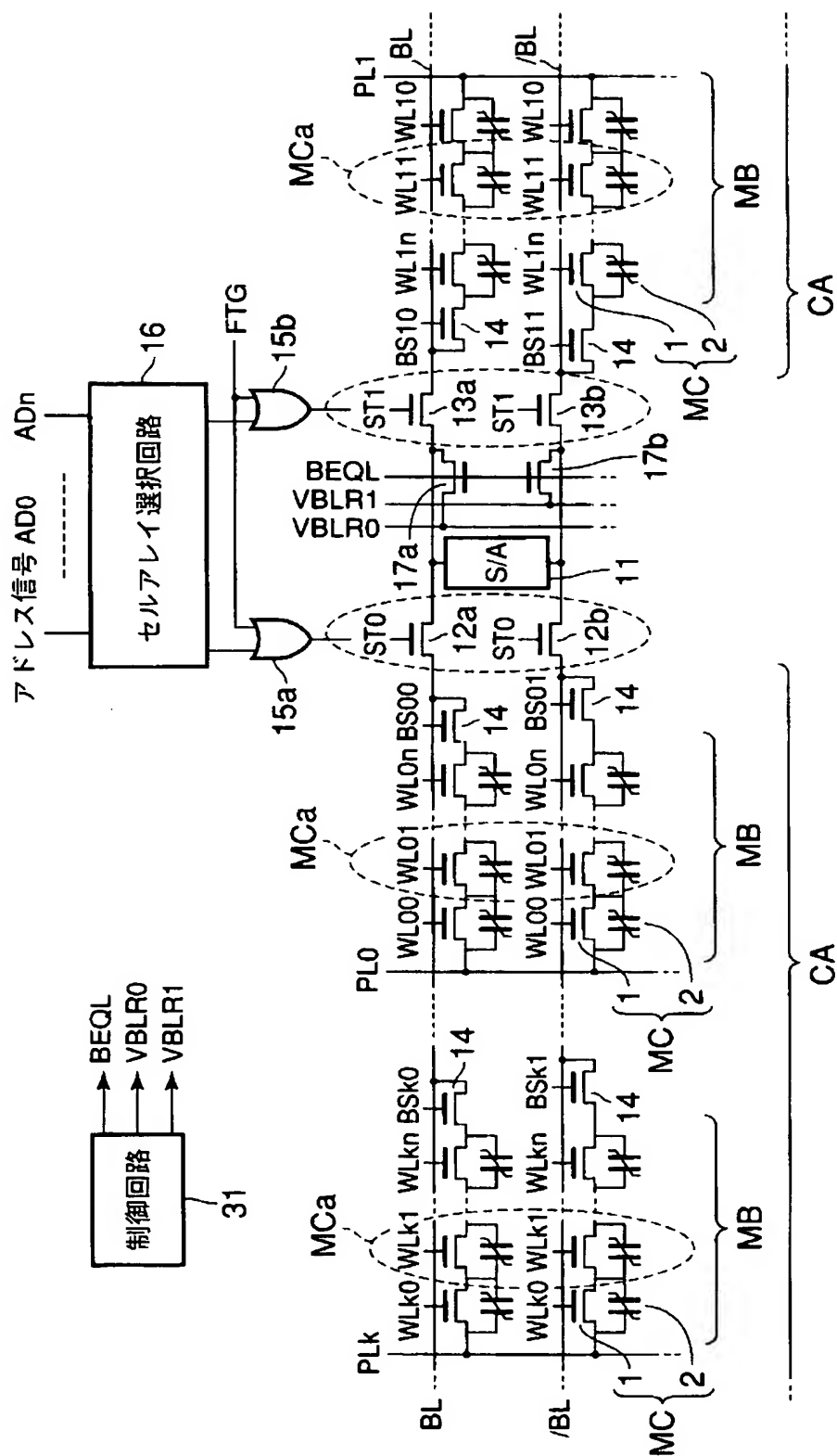
#### 【符号の説明】

1…セルトランジスタ (T)、2…強誘電体キャパシタ (C)、11…センスアンプ、12a, 12b, 13a, 13b…セルアレイ選択トランジスタ、14…ブロック選択トランジスタ、15a, 15b…オア回路、16…セルアレイ選択回路、17a, 17b…nMOS トランジスタ、21…電源電位、22a, 22b…nMOS トランジスタ、23…グランド電位、24a, 24b…pMOS トランジスタ、31, 32…制御回路、BL, /BL…ビット線、CA…セルアレイ、MB…メモリブロック、MC, MCa…メモリセル (セルユニット)、PL…プレート線、BS…ブロック選択信号線、WL…ワード線、ST0, ST1…セルアレイ選択信号線、ADx…アドレス信号線、FTG…テスト制御信号、VBLR0, VBLR1, BEQL, BEQLP…信号線。

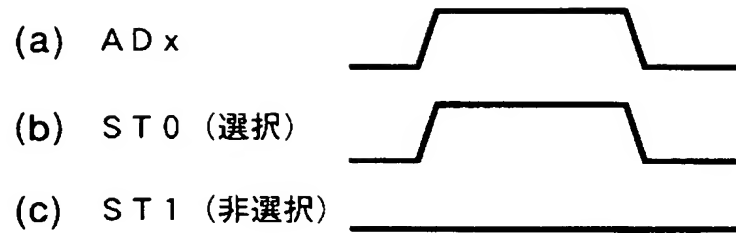
【書類名】

図面

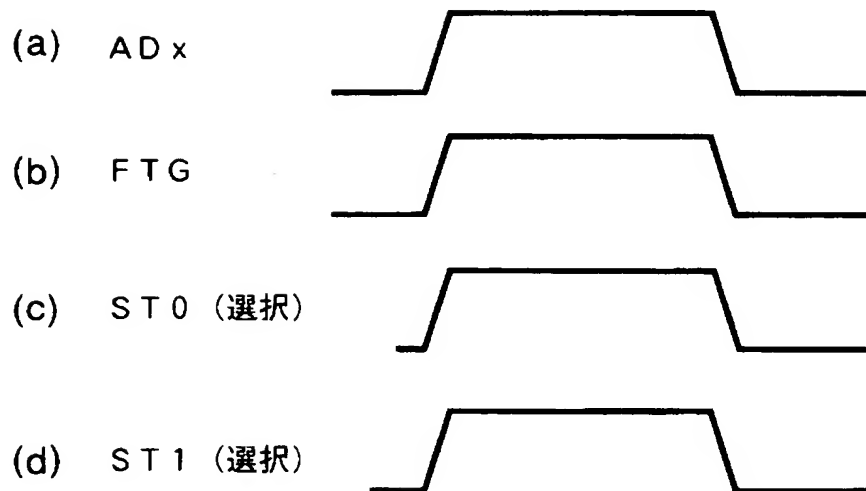
【図 1】



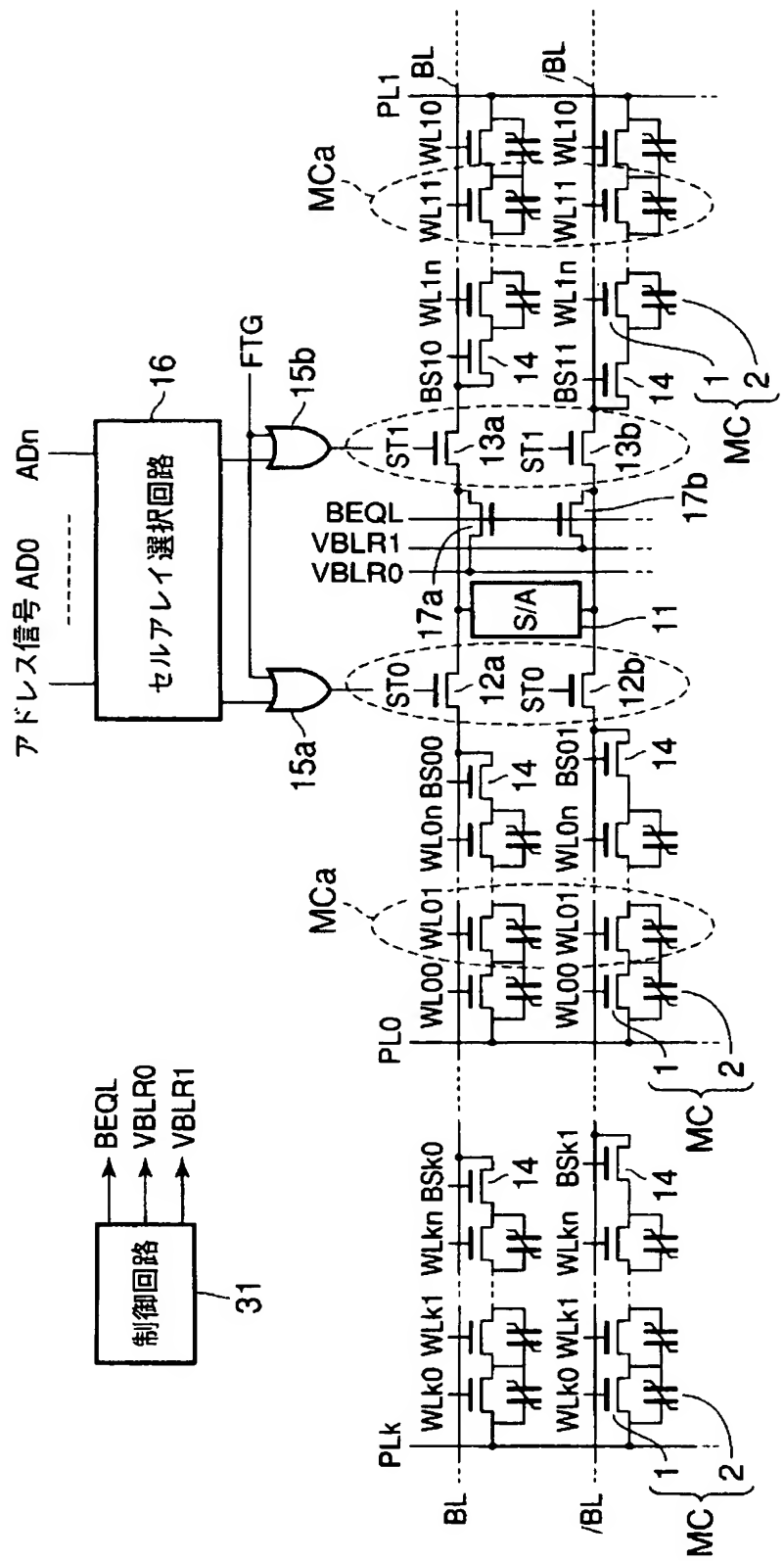
【図 2】



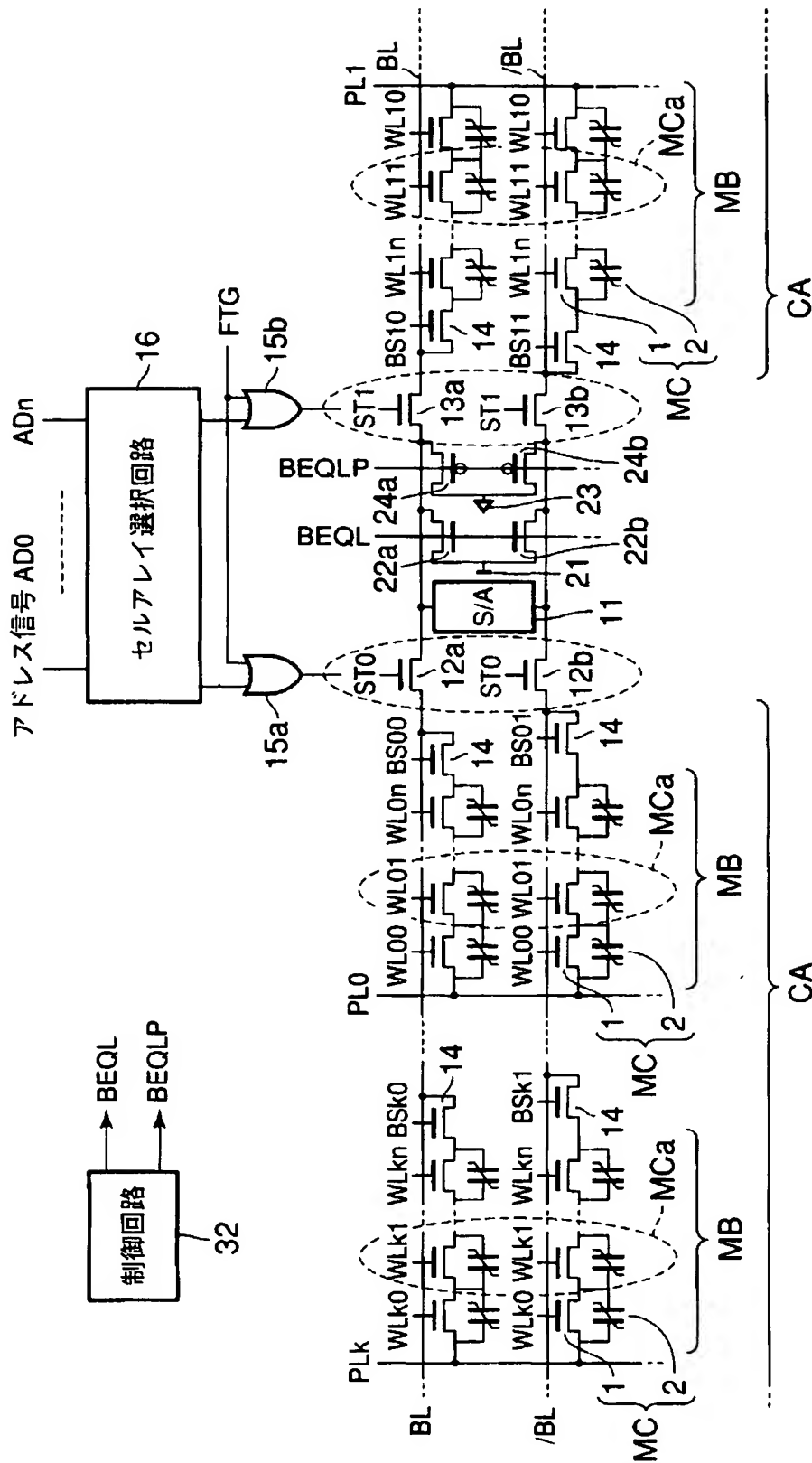
【図 3】



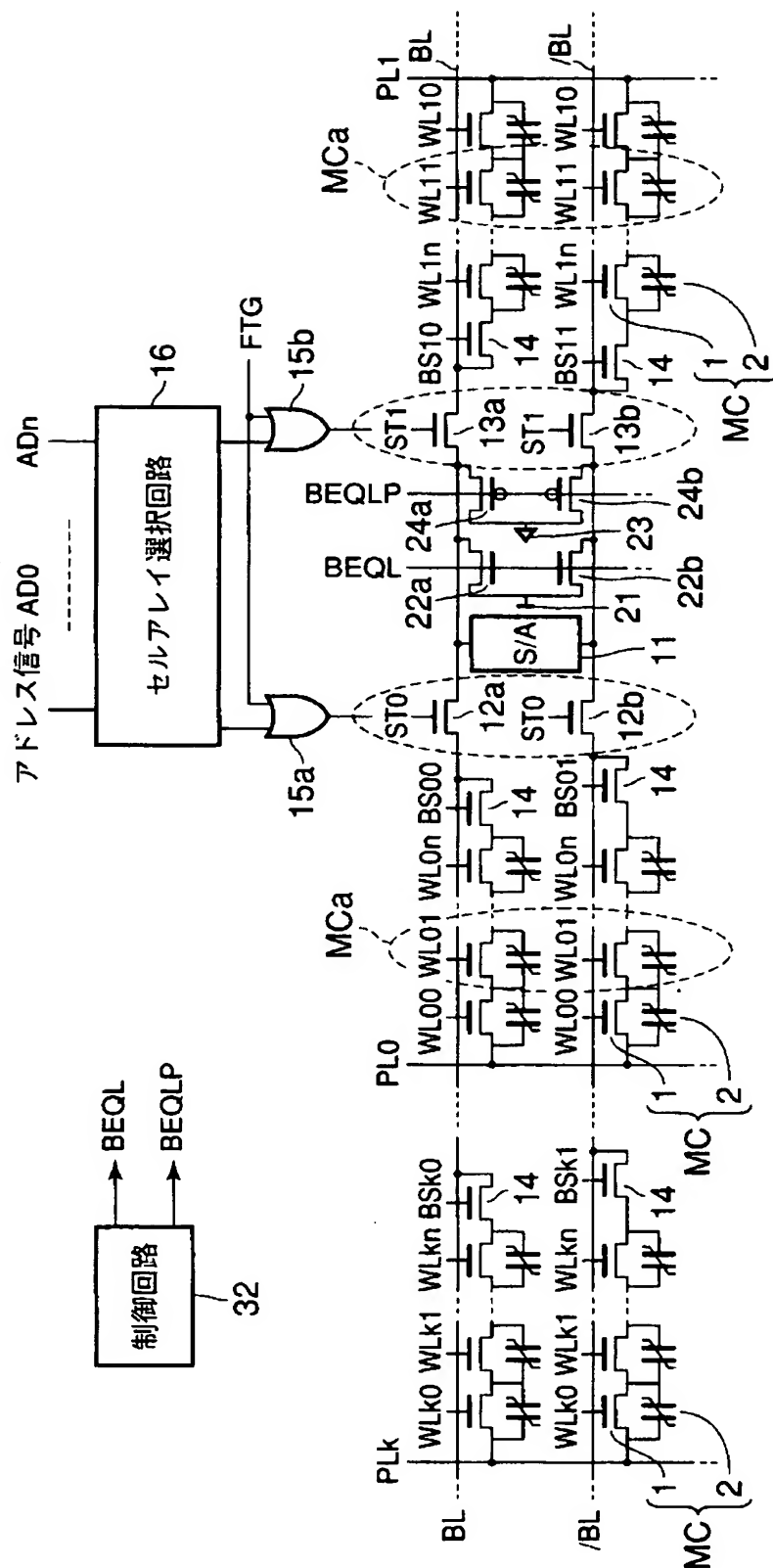
【図4】



【図 5】

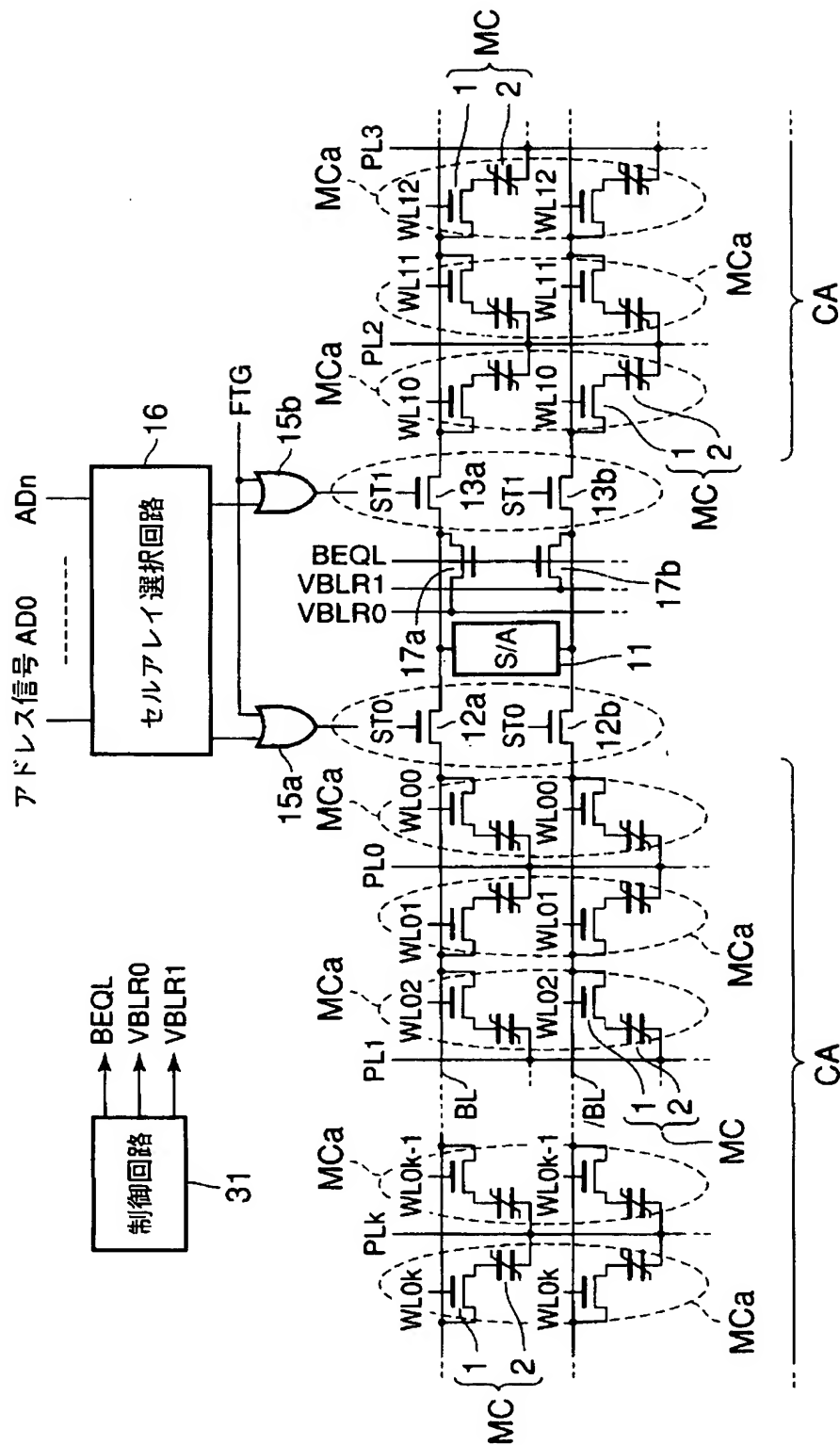


【図 6】

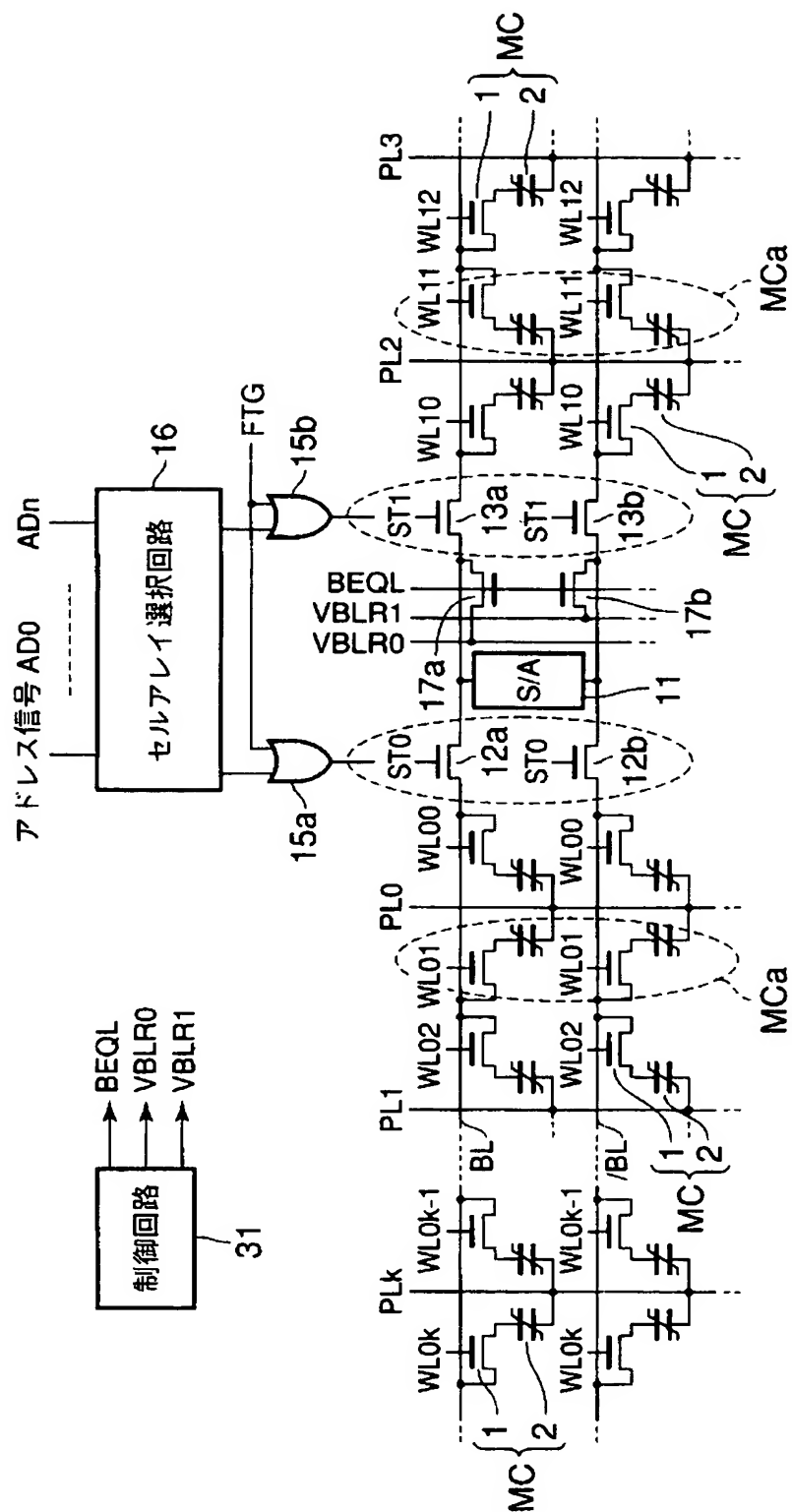




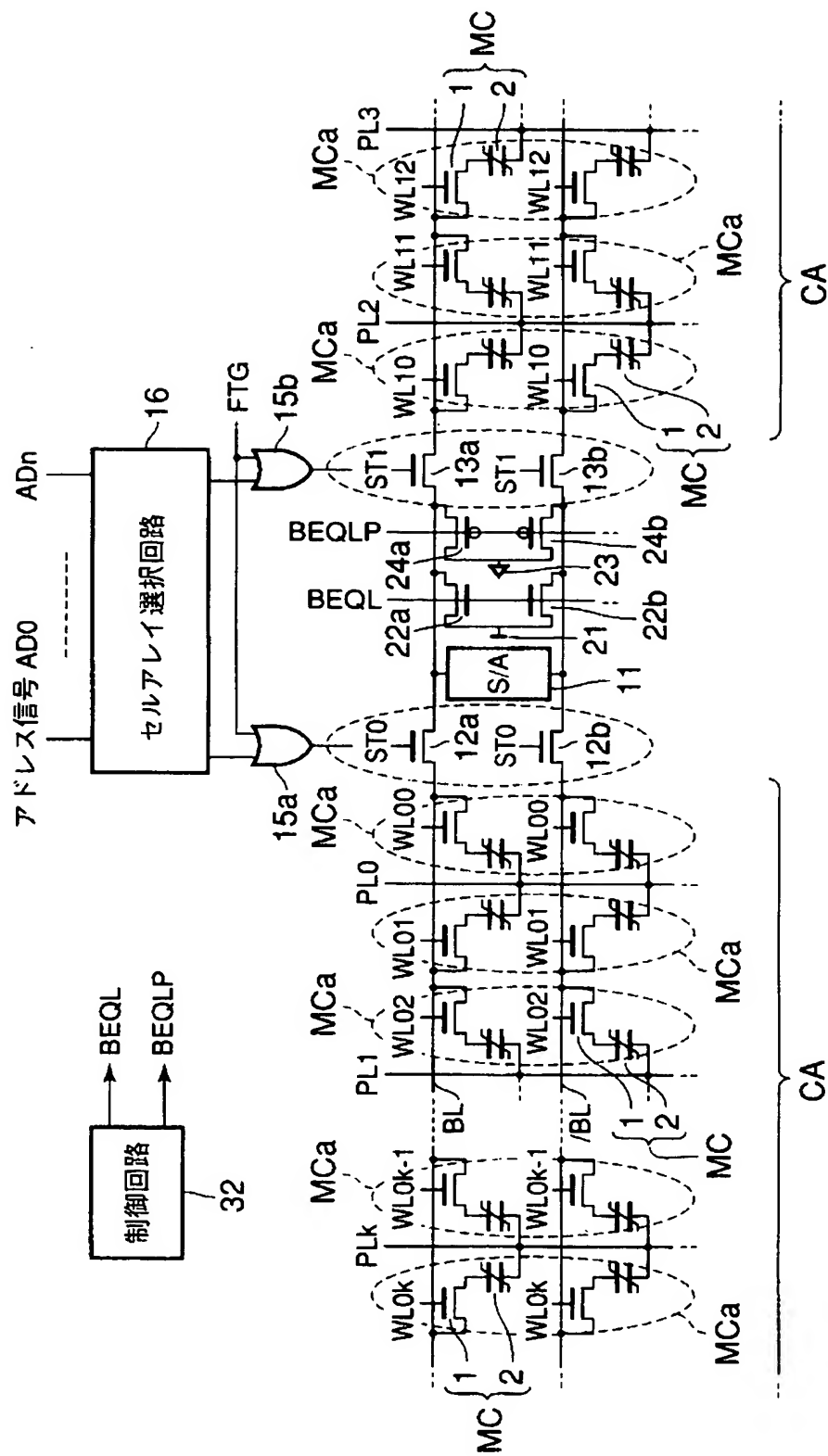
【図7】



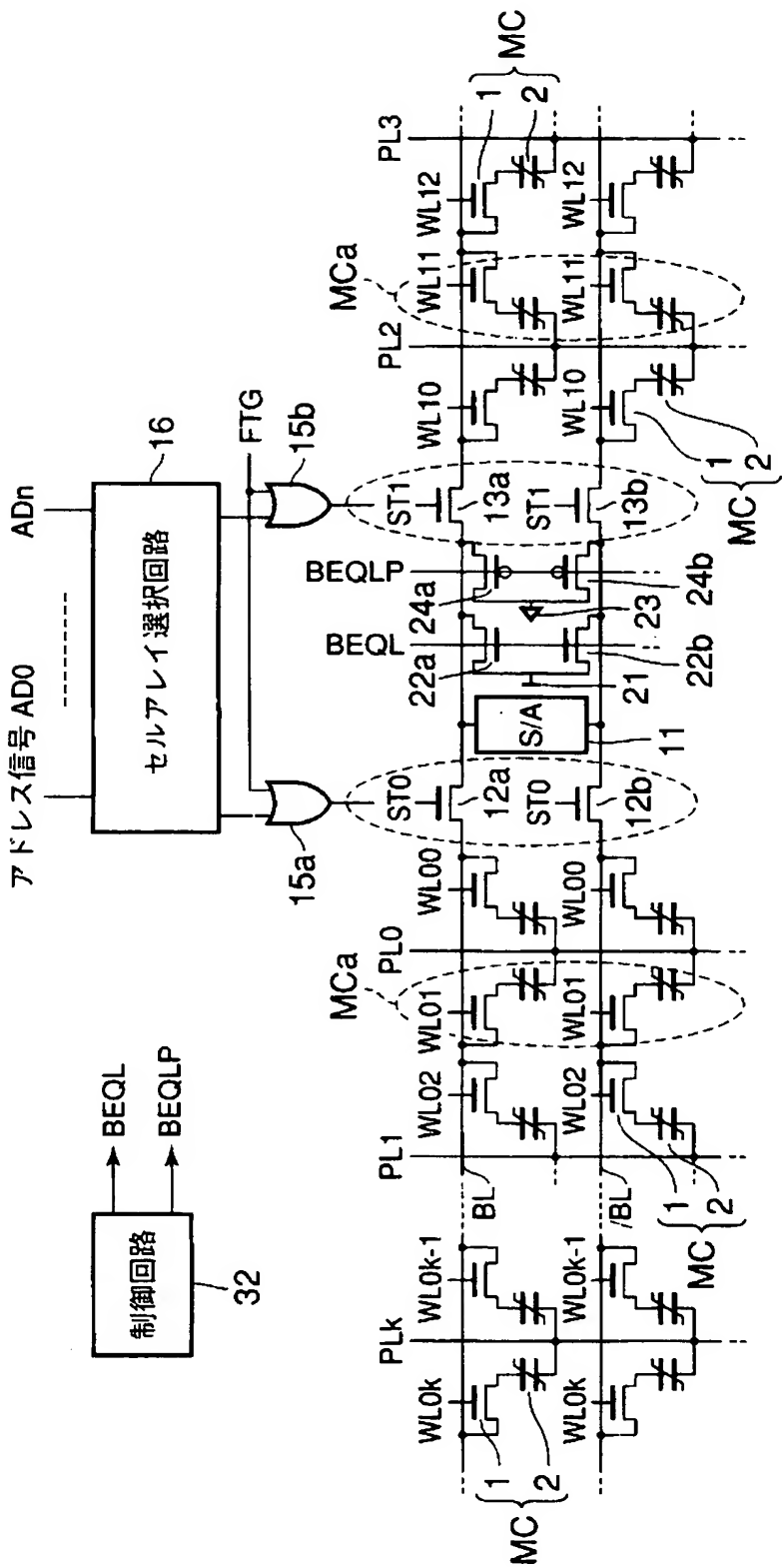
【図8】



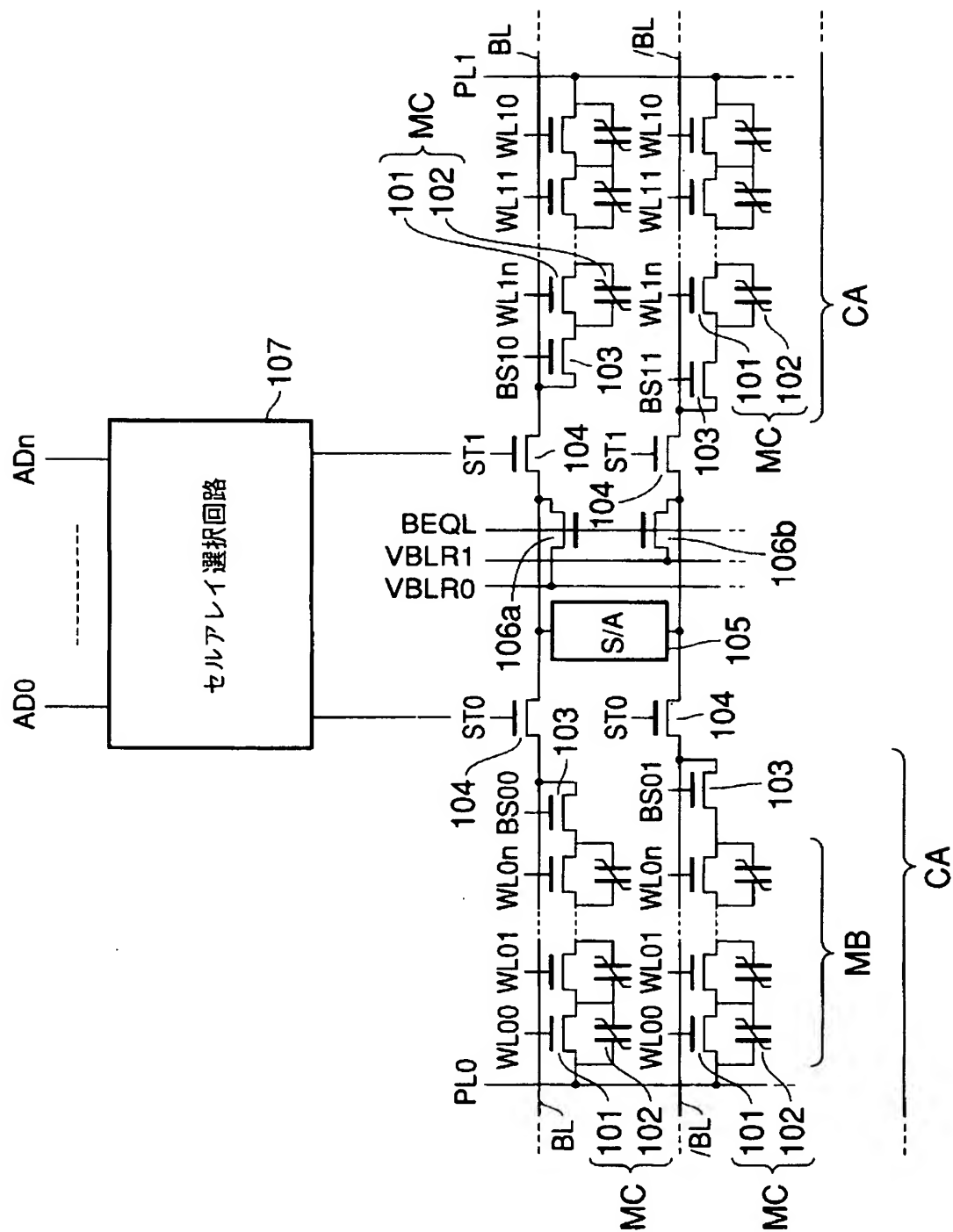
【図 9】



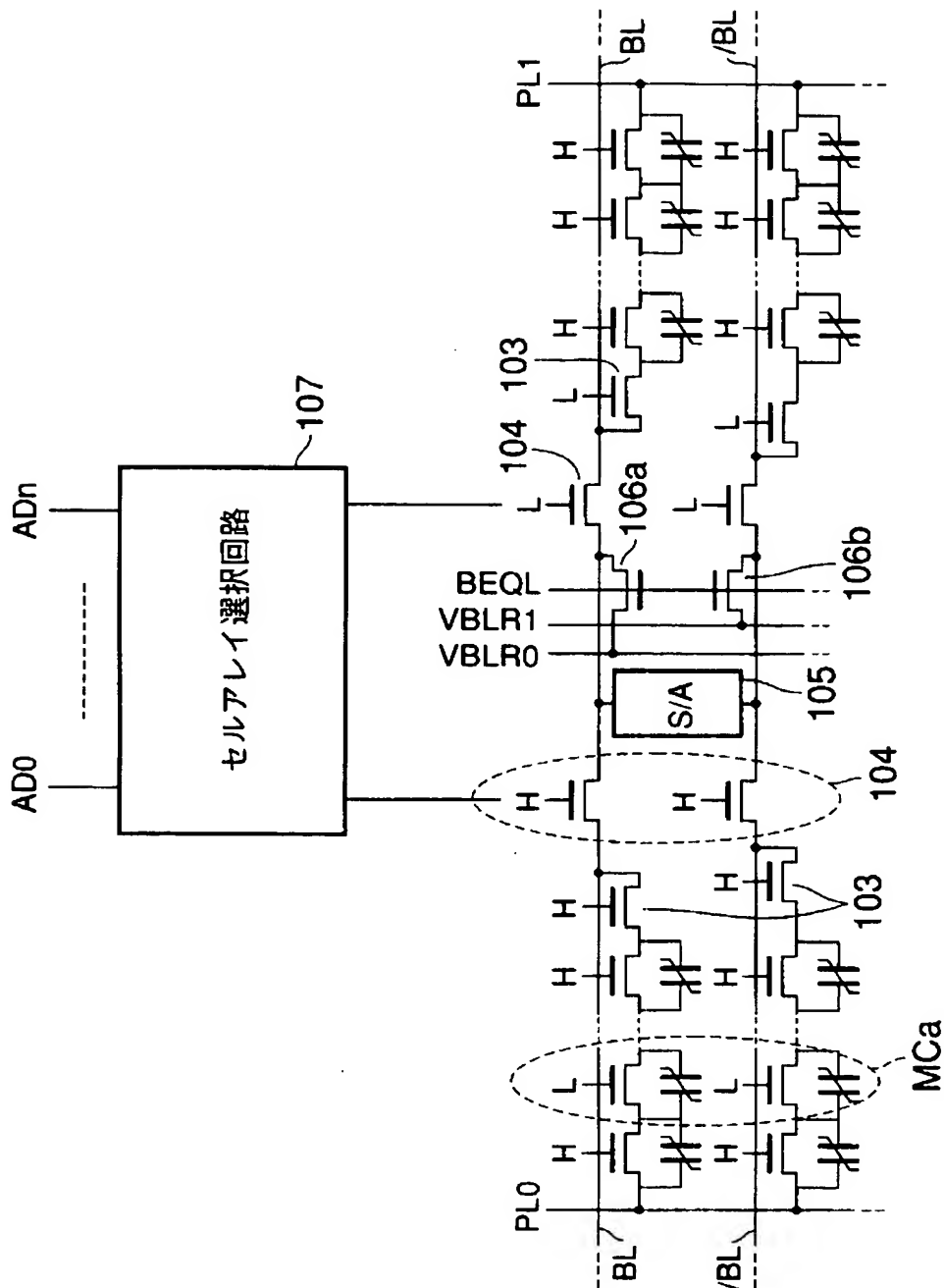
【図 10】



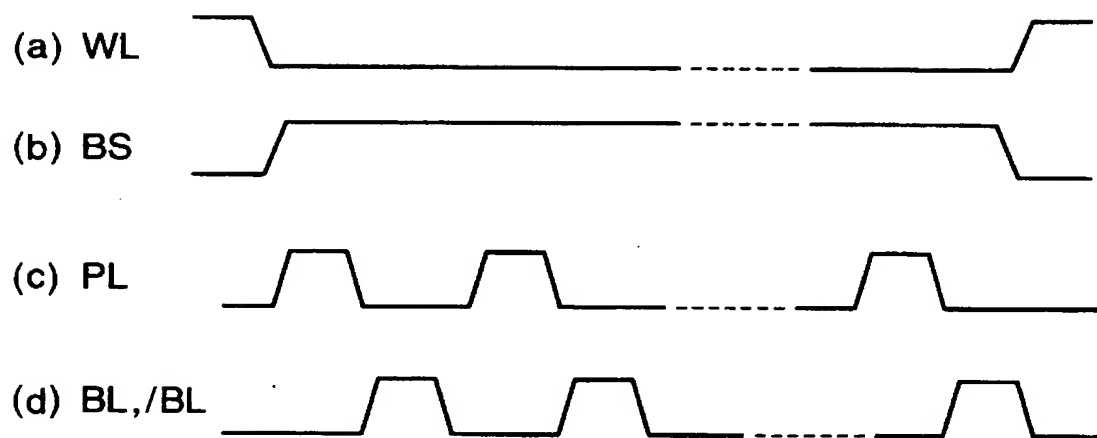
【図 11】



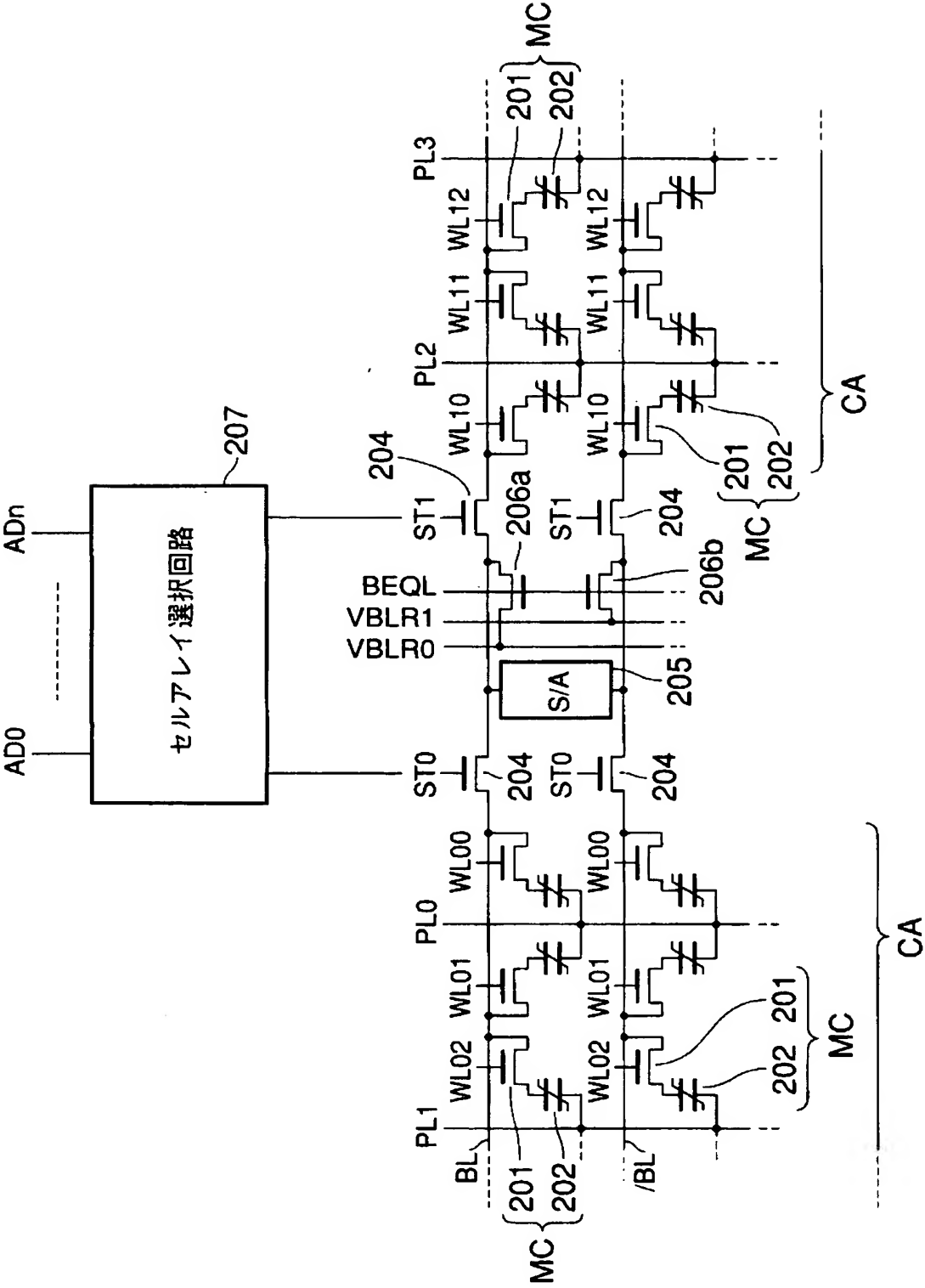
【図 12】



【図 13】

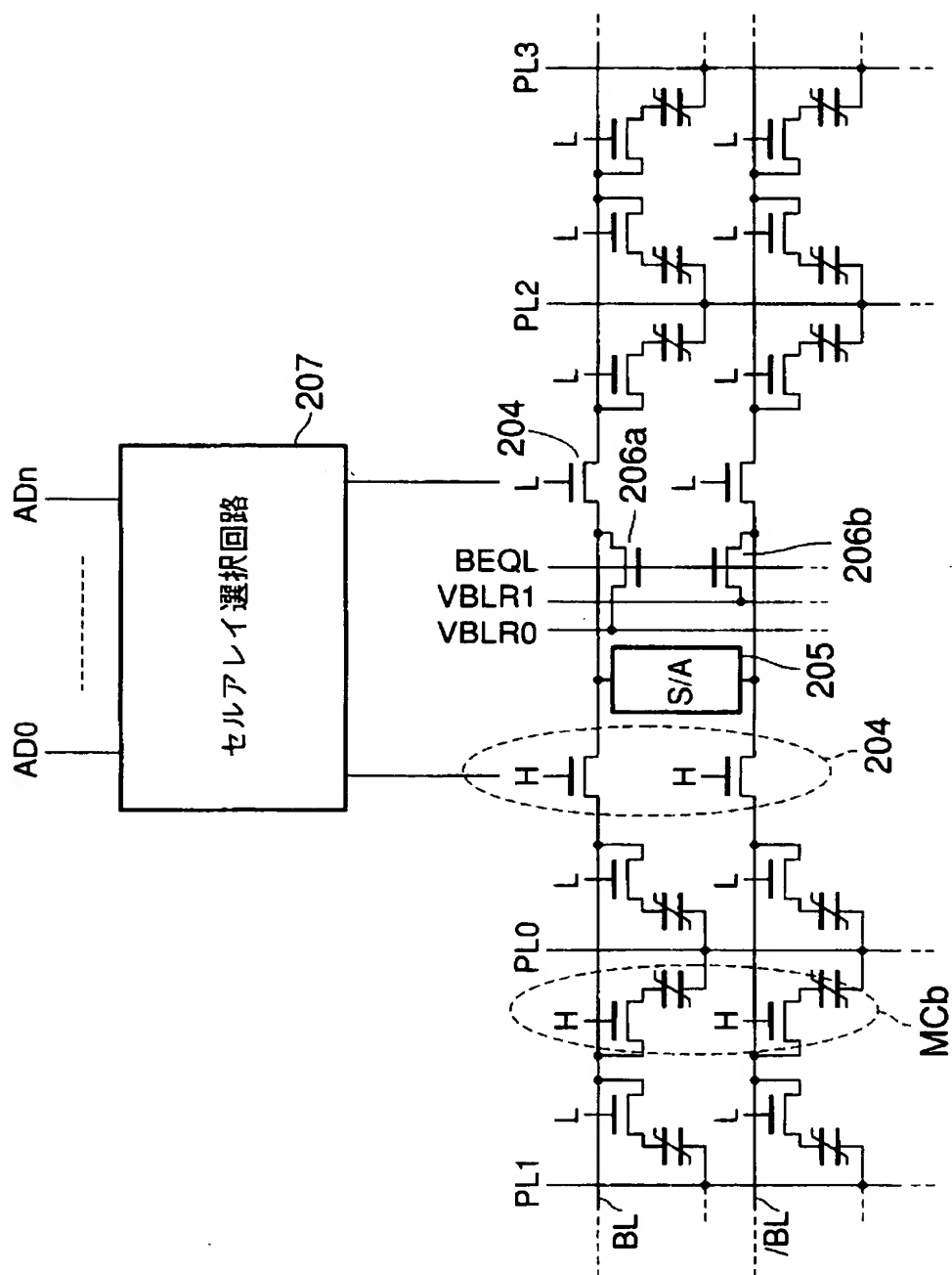


【図 14】

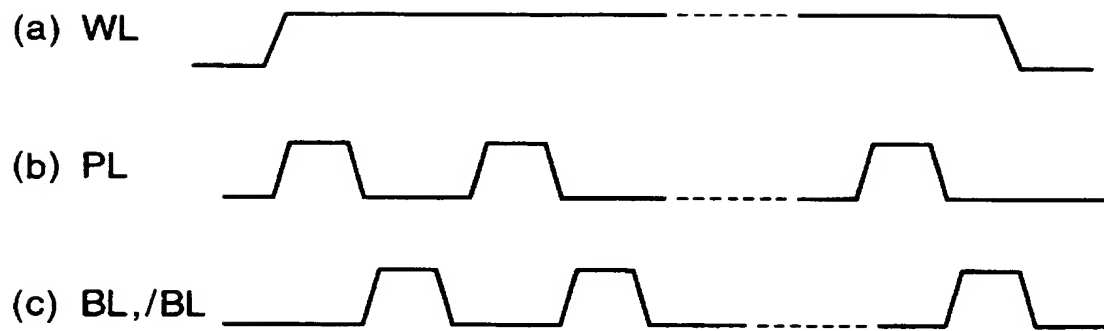




【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 本発明は、シェアードセンスアンプ方式の F e R A M において、ファテীগ試験に要するテスト時間を短縮できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、セルアレイ選択トランジスタ 1 2 a , 1 2 b の各ゲートにつながるセルアレイ選択信号線 S T 0、および、セルアレイ選択トランジスタ 1 3 a , 1 3 b の各ゲートにつながるセルアレイ選択信号線 S T 1 は、オア回路 1 5 a , 1 5 b を介して、セルアレイ選択回路 1 6 に接続されている。オア回路 1 5 a , 1 5 b の一方の入力端には、それぞれセルアレイ選択回路 1 6 の出力が供給される。また、他方の入力端には、それぞれテスト制御信号 F T G が供給される。これにより、ファテীগ試験時には、センスアンプ 1 1 の両側のセルアレイ C A , C A が同時に動作される構成とされている。

【選択図】 図 1

## 出願人履歷情報

[ 0 0 0 0 0 3 0 7 8 ]

2001年 7月 2日

住所変更

東京都港区芝浦一丁目1番1号

株式会社東芝

2003年 5月 9日

## 名称变更

住所変更

東京都港区芝浦一丁目1番1号

株式会社東芝